

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
24. Oktober 2002 (24.10.2002)

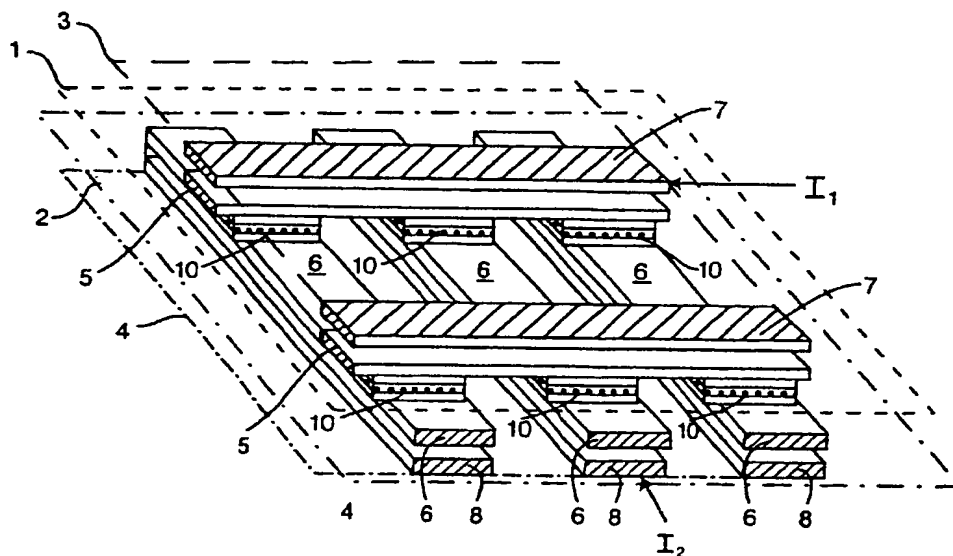
PCT

(10) Internationale Veröffentlichungsnummer  
**WO 02/084706 A2**

- (51) Internationale Patentklassifikation<sup>7</sup>: **H01L** (72) Erfinder; und  
(75) Erfinder/Anmelder (nur für US): **WEITZ, Peter**  
(21) Internationales Aktenzeichen: **PCT/DE02/01256** [DE/DE]; Tegernseer Landstr. 39, 82054 Sauerlach (DE).  
(22) Internationales Anmeldedatum: **5. April 2002 (05.04.2002)** (74) Anwalt: **KOTTMANN, Dieter**; Müller, Hoffmann & Partner, Innere Wiener Str. 17, 81667 München (DE).  
(25) Einreichungssprache: **Deutsch** (81) Bestimmungsstaaten (national): **CN, JP, KR, US**.  
(26) Veröffentlichungssprache: **Deutsch** Veröffentlicht:  
— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts  
(30) Angaben zur Priorität:  
**101 18 197.3** **11. April 2001 (11.04.2001)** **DE**  
(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-Martin-Str. 53, 81669 München (DE).  
Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(54) Title: **INTEGRATED MAGNETORESISTIVE SEMICONDUCTOR MEMORY ARRANGEMENT**

(54) Bezeichnung: **INTEGRIERTE MAGNETORESISTIVE HALBLEITERSPEICHERANORDNUNG**



(57) Abstract: The invention relates to an integrated magnetoresistive semiconductor memory arrangement (MRAM), in which the MRAM memory cells (10) each lie at crossing points for the select lines (5, 6) embedded in various separate line planes (1, 2), into which a read/write current may be imprinted for describing each MRAM memory cell (10) and for reading information written therein. Said magnetoresistive semiconductor memory arrangement has selection lines (5, 6), for reading the information in a cell, which are in separate first and second line planes (1, 2), each in direct contact with the memory cells (10) and a third and fourth line plane (3, 4), physically and electrically separate from the first and second line plane, which have write selection lines (7, 8) for writing cell information.

[Fortsetzung auf der nächsten Seite]

WO 02/084706 A2

Docket # MMH-12823

Applic. # \_\_\_\_\_

Applicant: Peter Weitz

Lerner and Greenberg, P.A.  
Post Office Box 2480  
Hollywood, FL 33022-2480  
Tel: (954) 925-1100 Fax: (954) 925-1101

**(57) Zusammenfassung:** Die Erfindung betrifft eine integrierte magnetoresistive Halbleiterspeicheranordnung (MRAM), bei der die MRAM-Speicherzellen (10) jeweils an Kreuzungspunkten von in verschiedenen voneinander separaten Leitungsebenen (1, 2) eingebetteten Auswahlleitungen (5, 6) liegen, in die jeweils zum Beschreiben jeder MRAM-Speicherzelle (10) und zum Lesen einer darin eingeschriebenen Information ein Lese/Schreibstrom einprägbar ist. Dieser magnetoresistiven Halbleiterspeicheranordnung liegen Auswahlleitungen (5, 6), die zum Lesen einer Zelleninformation dienen, jeweils in direktem Kontakt mit den Speicherzellen (10) stehenden separaten ersten und zweiten Leitungsebenen (1, 2) und eine dritte und vierte von der ersten und zweiten Leitungsebene räumlich und elektrisch getrennte Leitungsebene (3, 4) ist mit Schreibausswahlleitungen (7, 8) zum Schreiben einer Zelleninformation belegt.